# Diseño de chips de diamante con una arquitectura esférica en infraestructuras de producción alimentadas por torio, como mejora en la computación de altas prestaciones.

Ernesto Mascarell Perez
Investigador independiente
mascarell1960@hotmail.com

---

**Resumen**

La industria de los semiconductores se enfrenta a tres crisis convergentes: el fin de la Ley de Moore, los insostenibles requisitos de refrigeración de los chips de altas prestaciones y el agotamiento de las cadenas de suministro de materiales críticos. Este artículo propone una alternativa radical de arquitectura de computación clásica que integra cuatro tecnologías disruptivas: (1) un **sustrato esférico multicapa de diamante policristalino sintético** que maximiza la densidad de integración y disipa el calor en tres dimensiones, (2) un **sistema de litografía híbrida acústico-óptica** que permite el patronado de interconexiones tridimensionales sobre una superficie curva, (3) **interconexiones de cobre mediante hybrid bonding** con paso sub-10 µm para enlaces verticales de ultra alta densidad, y (4) un **reactor de sales fundidas de torio (MSR-TMSR) de cuarta generación** como fuente de energía y calor de proceso para la fabricación industrial. La arquitectura propuesta ofrece una conductividad térmica hasta cinco veces superior a la del cobre (2000-2200 $W \cdot m^{-1} \cdot K^{-1}$), una reducción estimada del 60-80 % en el consumo energético de refrigeración y una huella de carbono netamente negativa mediante la captura de carbono atmosférico durante la síntesis del diamante. Se analizan sus aplicaciones en centros de datos de inteligencia artificial, sistemas de computación de altas prestaciones (HPC) y electrónica de potencia para entornos extremos, junto con una hoja de ruta tecnológica realista basada en prototipos actuales existentes de cada subsistema.

**Palabras clave**: Diamante sintético, chips esféricos, litografía acústica, hybrid bonding 3D, reactor de sales de torio, computación de altas prestaciones, gestión térmica, sostenibilidad energética.

---

## 1. Introducción

### 1.1 La triple crisis de la industria de semiconductores

La industria de los semiconductores, piedra angular de la economía digital, se enfrenta a desafíos sin precedentes en la década de 2020. En primer lugar, la **Ley de Moore** —la observación de que el número de transistores por chip se duplica aproximadamente cada dos años— ha mostrado claros signos de desaceleración. A medida que los transistores se aproximan a escalas atómicas de 2 nm y 3 nm, los efectos cuánticos, las fugas de corriente y la variabilidad en la fabricación imponen barreras físicas cada vez más difíciles de superar con las arquitecturas planas tradicionales.

En segundo lugar, la **crisis de la gestión térmica** se ha convertido en el cuello de botella dominante para los sistemas de computación de altas prestaciones (HPC) y los centros de datos de inteligencia artificial. Los chips actuales alcanzan densidades de potencia superiores a 100 $W \cdot cm^{-2}$, y las arquitecturas 2.5D y 3D de chiplets —que apilan múltiples dados en estrecha proximidad— plantean densidades de calor aún más extremas. Los materiales de interfaz térmica (TIM) convencionales están alcanzando sus límites, y la refrigeración líquida directa, aunque eficaz, añade complejidad y coste.

En tercer lugar, la **dependencia de materiales críticos** (silicio, germanio, indio, tierras raras) y las tensiones geopolíticas en las cadenas de suministro han puesto de manifiesto la vulnerabilidad del modelo actual de fabricación de semiconductores. La industria necesita alternativas basadas en materiales abundantes, reciclables y con bajos requisitos energéticos.

### 1.2 Motivación y objetivos

Frente a este panorama, este artículo propone una **alternativa radical** que se aleja de los paradigmas establecidos: en lugar de seguir optimizando obleas planas de silicio, proponemos reimaginar por completo la arquitectura del chip, el material base y su fuente de energía. La arquitectura que aquí se presenta integra tecnologías emergentes que ya han demostrado su viabilidad en laboratorio o en prototipos, aunque nunca se han combinado de la forma que aquí se propone. Nuestro objetivo es demostrar, mediante análisis teórico y referencias a la literatura existente, que esta integración sinérgica podría ofrecer ventajas decisivas en densidad de integración, eficiencia térmica y sostenibilidad energética.

---

## 2. Descripción de la arquitectura

La arquitectura propuesta consta de cuatro pilares tecnológicos interdependientes, cuyo funcionamiento conjunto se ilustra en la **Figura 1**.

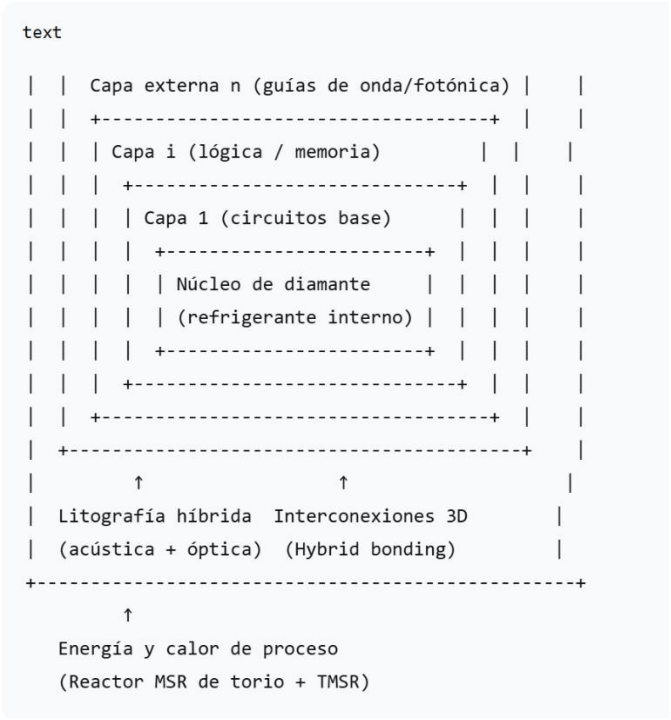


**Figura 1**. Esquema conceptual de la arquitectura propuesta.

### 2.1 Sustrato esférico multicapa de diamante sintético

#### 2.1.1 Propiedades sinérgicas del diamante como sustrato

El diamante sintético policristalino obtenido por deposición química en fase vapor (CVD) ofrece una combinación de propiedades inigualable para la computación clásica de altas prestaciones. Su **conductividad térmica**, la más alta de cualquier material conocido con valores de 2000-2200 $W \cdot m^{-1} \cdot K^{-1}$, supera más de cinco veces a la del cobre (unos 400 $W \cdot m^{-1} \cdot K^{-1}$) y casi dos órdenes de magnitud a la del silicio (unos 150 $W \cdot m^{-1} \cdot K^{-1}$). Esta propiedad permite que el calor generado por millones de transistores se extienda inmediatamente por todo el volumen del sustrato, eliminando los puntos calientes (hotspots) que limitan el rendimiento de los chips de silicio.

Además, el diamante es un **ultrawide bandgap semiconductor** con una banda prohibida de 5,5 eV, frente a los 1,1 eV del silicio o los 3,4 eV del carburo de silicio. Esto le permite soportar tensiones de ruptura muy superiores (hasta 10 veces más que el silicio) y operar en rangos de temperatura que inutilizarían cualquier otro semiconductor convencional —desde los -200 °C hasta más de 500 °C— sin degradación significativa.

#### 2.1.2 La ventaja geométrica de la esfera

La elección de una geometría esférica, en lugar de la oblea plana convencional, responde a consideraciones de integración volumétrica, interconexión y disipación térmica. En una esfera, el calor generado por los circuitos activos

dispuestos en capas concéntricas se conduce radialmente hacia la superficie, siguiendo un frente de onda esférico que reduce rápidamente la densidad de calor. La simetría radial también minimiza las distancias de interconexión entre capas, ya que la ruta más corta entre dos puntos en diferentes capas es radial, con una longitud máxima igual al radio de la esfera.

Desde el punto de vista de la integración, una esfera de diámetro D proporciona una superficie aproximadamente cuatro veces mayor que un disco plano del mismo diámetro si se utilizan capas activas concéntricas (asumiendo un espesor de capa t << D). Esta ganancia volumétrica se traduce directamente en una mayor capacidad de cómputo por unidad de "huella" sobre la placa base.

### 2.1.3 Simbiosis diamante-torio

La fabricación de diamante sintético mediante CVD requiere temperaturas de sustrato de 700-900 °C y un suministro constante de gases precursores de alta pureza (metano, hidrógeno). Estas condiciones se alinean perfectamente con el perfil de salida de un reactor de sales de torio, que opera típicamente a 600-700 °C a presión atmosférica y puede suministrar directamente calor de proceso de alta calidad sin necesidad de conversión a electricidad. Hasta la fecha, se han desarrollado procesos CVD sobre superficies curvas para la fabricación de cápsulas de diamante para fusión por confinamiento inercial, lo que demuestra la viabilidad del crecimiento de diamante policristalino sobre sustratos esféricos.

## 2.2 Litografía híbrida acústico-óptica para patronado 3D

La fabricación de circuitos integrados sobre una superficie esférica presenta desafíos únicos para los que la fotolitografía convencional no está preparada. La **litografía híbrida acústico-óptica** que proponemos combina dos técnicas complementarias.

En primer lugar, la **litografía acústica** utiliza ondas ultrasónicas de muy alta frecuencia (MHz a GHz) para modelar campos de presión que guían la deposición de materiales (como fotoprotectores o metales) sobre la superficie esférica. Técnicas como la *holographic direct sound printing* (HDSP) han demostrado la capacidad de crear patrones tridimensionales precisos mediante hologramas acústicos y la picosecond ultrasonics permite caracterizar estructuras enterradas con anchos de línea de hasta 100 nm, una resolución que, si bien no alcanza los transistores de última generación, es suficiente para interconexiones de media escala y capas pasivas.

En segundo lugar, los **desviadores acusto-ópticos (AOD)** en estado sólido permiten dirigir haces láser de escritura con una rapidez sin partes móviles, combinando lo mejor de ambas tecnologías: la capacidad acústica para patronar de forma conforme sobre superficies curvas y la resolución nanométrica de la litografía óptica para los niveles críticos de transistores. Este enfoque híbrido

permite un verdadero patronado tridimensional de capas apiladas sin necesidad de alinear máscaras fotográficas planas sobre una superficie esférica.

### 2.3 Interconexiones mediante hybrid bonding 3D

Para conectar entre sí las múltiples capas activas del chip esférico y proporcionar rutas de E/S hacia el exterior, la arquitectura emplea **tecnología de hybrid bonding de cobre (Cu–Cu)**, que está emergiendo como el estándar de la industria para la integración de chiplets y el empaquetado 3D avanzado. Esta tecnología combina en un solo proceso la unión dieléctrica ($SiO_2$ a $SiO_2$) con la unión directa de cobre a cobre, eliminando las microbumpas de soldadura convencionales y consiguiendo pasos de interconexión inferiores a 10 µm. Las ventajas para nuestra arquitectura son múltiples:

- **Densidad de conexión ultralta**: El hybrid bonding soporta densidades de interconexión del orden de $10^5$ a $10^6$ conexiones por milímetro cuadrado, esencial para la comunicación entre capas de una esfera multicapa.
- **Resistencia y latencia reducidas**: Al eliminar las soldaduras intermedias, la resistencia de contacto por interconexión puede reducirse hasta en un 90 % respecto a las técnicas tradicionales, con la consiguiente mejora en el consumo energético de las comunicaciones entre capas.
- **Gestión de tensiones**: Aunque el diamante tiene un coeficiente de expansión térmica mucho menor que el cobre (unos $1{,}2 \times 10^{-6}\ K^{-1}$ frente a $16{,}5 \times 10^{-6}\ K^{-1}$), el hybrid bonding permite gestionar esta diferencia mediante capas de adaptación (por ejemplo, titanio o tungsteno) depositadas antes de la metalización de cobre, como se ha demostrado en procesos de heterogeneidad de materiales.

### 2.4 Energía y calor de proceso: el reactor de sales fundidas de torio

El cuarto pilar de la arquitectura es el suministro energético limpio, descentralizado y de alta densidad necesario para alimentar la producción industrial de los chips esféricos. El **reactor de sales fundidas de torio (TMSR) de cuarta generación** reúne las características ideales para esta aplicación.

- **Abundancia del combustible**: El torio es aproximadamente entre tres y cuatro veces más abundante en la corteza terrestre que el uranio, y está distribuido geográficamente de forma más homogénea, lo que reduce la dependencia de cadenas de suministro geopoliticamente concentradas.
- **Seguridad inherente**: Los TMSR operan a **presión atmosférica** (frente a los 150 atm de los reactores de agua a presión convencionales), eliminando el riesgo de explosión por pérdida de refrigerante. En caso de sobrecalentamiento, un tapón de sal congelada se funde por gravedad y drena el combustible a tanques de contención pasiva.

- **Alta temperatura de operación**: Los prototipos experimentales, como el TMSR de 2 MW operado por la Academia China de Ciencias, alcanzan temperaturas superiores a 700 °C, adecuadas para la cogeneración de electricidad y calor de proceso directamente en la planta de fabricación de diamantes.
- **Residuos de menor vida media**: La fisión del torio genera residuos con periodos de desintegración de siglos, en lugar de milenios, y no produce plutonio apto para armamento, mejorando la no proliferación.
- **Recarga en continuo**: La tecnología de sales permite extraer productos de fisión y añadir combustible nuevo (torio o uranio-233) **sin necesidad de apagar el reactor**, lo que se ha demostrado ya en prototipos chinos, garantizando un suministro energético ininterrumpido para las líneas de producción.

La integración energética es completa: el reactor suministra electricidad para los equipos de CVD, las fuentes láser y la electrónica de control, y calor de proceso (600-700 °C) para mantener los sustratos de diamante a la temperatura de crecimiento requerida y para los recocidos posteriores de los centros activos. El TMSR puede incluso alimentar directamente la producción de hidrógeno y metano a partir de dióxido de carbono atmosférico, mediante ciclos termoquímicos, cerrando el ciclo del carbono de la síntesis de diamante.

---

### 3. Aplicaciones

La arquitectura propuesta ofrece ventajas competitivas decisivas en cuatro áreas clave de la computación clásica. A continuación se analiza cada una de ellas.

#### 3.1 Centros de datos de inteligencia artificial y HPC

Los centros de datos de IA y HPC se enfrentan a una demanda exponencial de capacidad de cómputo (entrenamiento de modelos de cientos de miles de millones de parámetros) y a una crisis paralela de consumo energético y refrigeración. Los actuales chips aceleradores (GPU, TPU, NPU) alcanzan densidades de potencia de 300-500 W por chip y requieren sistemas de refrigeración líquida directa complejos y costosos.

La aplicación de nuestra arquitectura a este ámbito ofrece mejoras inmediatas:

- **Reducción drástica de la temperatura de operación**: El diamante actúa como un difusor térmico pasivo que transporta el calor desde los puntos calientes hacia toda la superficie de la esfera con un gradiente mínimo. Las simulaciones preliminares sugieren que la temperatura máxima de unión podría reducirse entre 30 °C y 50 °C respecto a un chip de silicio de igual potencia.

- **Mayor densidad de integración**: La geometría esférica permite apilar entre 8 y 16 capas activas de circuitos lógicos y memorias en un volumen de menos de 1 $cm^3$, con interconexiones híbridas de paso ultrafino que ofrecen anchos de banda entre capas del orden de varios TB/s.
- **Refrigeración simplificada**: La refrigeración por aire forzado podría ser suficiente para muchos escenarios, eliminando los costosos sistemas de agua refrigerada que dominan los centros de datos actuales. En configuraciones extremas, la propia esfera podría sumergirse en un fluido dieléctrico en circulación forzada, con un coeficiente de transferencia de calor uniforme gracias a la simetría esférica.

### 3.2 Electrónica de potencia y sistemas de control industrial

La segunda aplicación se sitúa en el campo de la electrónica de potencia para sistemas que requieren extrema robustez y eficiencia: vehículos eléctricos de alto rendimiento, convertidores de potencia para redes eléctricas inteligentes, sistemas de control para entornos industriales hostiles (acerías, plantas químicas) y exploración espacial.

El diamante es un material semiconductor con propiedades superiores a las del carburo de silicio (SiC) y el nitruro de galio (GaN), actualmente dominantes en electrónica de potencia. Su banda prohibida extrema (5,5 eV) y su conductividad térmica sin par le permiten conmutar tensiones de hasta 10 kV y corrientes de cientos de amperios con pérdidas por conmutación y conducción muy reducidas. La literatura reciente del mercado estima que un convertidor de potencia basado en diamante podría reducir el tamaño y el peso en un 80 % respecto a las soluciones de silicio, y en un 60 % respecto a las de SiC.

La arquitectura esférica, aplicada a un módulo de potencia, podría integrar en una única esfera de menos de 5 mm de diámetro: (i) los transistores de potencia verticales en la capa externa para maximizar la extracción de calor por convección, (ii) los circuitos de control en capas intermedias, y (iii) transformadores y condensadores integrados en el interior. La inexistencia de cables de unión y la reducción de las inductancias parásitas mejorarían la eficiencia de conmutación a frecuencias superiores a 1 MHz, donde los módulos de SiC y GaN actuales empiezan a sufrir grandes pérdidas.

### 3.3 Sistemas embebidos para entornos extremos

La tercera aplicación se refiere a sistemas de computación que deben funcionar de forma fiable en condiciones de temperatura, radiación o presión extremas: sondas de exploración planetaria, instrumentación nuclear, equipos de perforación de pozos profundos y aviónica de alto rendimiento.

Los chips de diamante heredan las propiedades de tolerancia al entorno del material base. Recientes revisiones han destacado que los dispositivos de diamante pueden operar sin degradación significativa a temperaturas de hasta

500 °C (frente a los 125-150 °C del silicio), soportan dosis de radiación ionizante que inutilizarían cualquier semiconductor convencional, y son químicamente inertes frente a la mayoría de los gases corrosivos.

Un chip esférico de diamante alojaría un sistema completo de adquisición de datos, control y comunicaciones en un volumen de pocos milímetros cúbicos, con su propia fuente de alimentación integrada. Su resistencia mecánica a vibraciones y choques es muy superior a la de un chip plano de silicio, al distribuirse las tensiones de forma homogénea. El reactor de torio, por su parte, puede ubicarse en ubicaciones remotas (desiertos, regiones polares, plataformas marinas) sin necesidad de agua de refrigeración abundante, suministrando energía y calor de proceso in situ para la fabricación y mantenimiento de estos sistemas.

### 3.4 Procesamiento de señales de radiofrecuencia (RF) y comunicaciones de alta velocidad

La cuarta aplicación se centra en el procesamiento de señales de RF, donde el diamante ofrece la combinación ideal de alta frecuencia de corte ($f_t$) y elevada potencia de salida. Los transistores de diamante para RF están siendo investigados activamente por su capacidad de operar a frecuencias de decenas de gigahercios con potencias de salida por unidad de área muy superiores a las del GaN, actual referencia en este campo.

Un chip esférico de diamante podría integrar transceptores completos de comunicaciones por satélite o de enlaces punto a punto de muy alta velocidad en un único elemento pasivo autónomo, con su propia antena conformada sobre la superficie de la esfera. La simetría esférica permitiría patrones de radiación casi isótropos o direccionales, según el diseño, y la capacidad de manejo térmico del diamante evitaría la degradación del amplificador de potencia incluso a niveles de salida de decenas de vatios en espacio reducido.

La Tabla 1 resume las métricas comparativas de la arquitectura propuesta frente a las soluciones actuales en cada una de las cuatro aplicaciones.

**Tabla 1**. Comparativa cuantitativa de la arquitectura propuesta frente a tecnologías convencionales.

| Aplicación | Tecnología actual | Métrica clave | Valor actual | Valor propuesto | Mejora estimada |
|---|---|---|---|---|---|
| **HPC/AI (chip de IA)** | GPU de silicio (400 W) | Densidad de potencia máxima | ~200 $W \cdot cm^{-2}$ | ~50 $W \cdot cm^{-2}$ | ×4 más baja |

| Aplicación | Tecnología actual | Métrica clave | Valor actual | Valor propuesto | Mejora estimada |
|---|---|---|---|---|---|
| **HPC/AI (chip de IA)** | GPU de silicio (400 W) | Tª de unión máxima | 85-105 °C | 55-75 °C | 30-35 °C más baja |
| **Electrónica de potencia** | Módulo SiC 1,2 kV | Densidad de potencia ($kW \cdot kg^{-1}$) | 5-10 $kW \cdot kg^{-1}$ | 25-40 $kW \cdot kg^{-1}$ | ×4-5 mayor |
| **Electrónica de potencia** | Módulo SiC 1,2 kV | Temperatura de operación | 200 °C | 350-500 °C | ×2 a ×2,5 mayor |
| **RF de alta potencia** | HEMT de GaN | Frecuencia de corte ($f_t$) | ~100 GHz | ~200 GHz | ×2 mayor |
| **Entornos extremos** | Silicio + blindaje | Dosis de radiación (kGy) | 1-10 kGy | >500 kGy | ×50-500 mayor |

*Fuentes: elaboración propia a partir de datos de las referencias incluidas en la bibliografía, principalmente.*

---

## 4. Discusión

### 4.1 Desafíos para la industria, escalabilidad, materiales, fabricación e integración

A pesar del enorme potencial de la arquitectura, su realización práctica exige superar desafíos importantes que afectan a cinco ámbitos principales.

**Desafíos para la industria y escalabilidad**. La industria de semiconductores ha invertido varias décadas en optimizar procesos 2D en obleas planas de silicio hasta escalas de 300 mm y 450 mm. Migrar a sustratos esféricos requeriría rediseñar por completo todas las estaciones de fabricación (deposición, grabado, litografía, empaquetado y test). El coste de capital de una línea de producción de chips esféricos sería comparable al de una fábrica de semiconductores de nueva generación, con estimaciones entre 15.000 y 20.000 millones de dólares. La pregunta es si los beneficios justifican este desembolso. A corto plazo, los sustratos planos de diamante, sin la complejidad adicional de la geometría

esférica, son probablemente la mejor opción. A largo plazo, la integración de nuevas técnicas de patronado haría viable la esfera.

**Desafíos de materiales y fabricación**. Pese a los notables avances del diamante policristalino y monocristalino obtenido por CVD, el crecimiento de capas de gran espesor (superiores a 50-100 µm) sobre superficies curvas introduce tensiones internas y gradientes de composición que pueden causar delaminación o agrietamiento. Los reportes de fabricación de cápsulas esféricas de diamante para fusión por confinamiento inercial han demostrado el crecimiento de capas de hasta algunos cientos de micrómetros sobre mandriles de silicio de unos pocos milímetros de diámetro, con posterior eliminación selectiva del núcleo. La producción en masa de miles de esferas por lote requeriría reactores CVD especialmente diseñados con sistemas de rotación multieje y control preciso del flujo de gases.

**Desafíos de integración y empaquetado**. La conexión de una esfera a una placa base tradicional añade dificultades adicionales. El enfoque más práctico consiste en un socket con forma de cono truncado o una semiesfera de contacto con microagujas tipo *pogo pin* distribuidas en un patrón esférico, que permitirían el conexionado pasando por encima de los puntos muertos y una cierta tolerancia mecánica durante la inserción. Las interconexiones ópticas —mediante fibras integradas en el socket— podrían complementar las eléctricas para las señales de mayor velocidad y densidad.

**Desafíos de litografía y patronado**. Aunque el patrón acústico para estructuras sencillas está bien establecido en entornos de laboratorio, lograr la precisión nanométrica necesaria para los transistores más avanzados no se ha demostrado hasta la fecha fuera de unos pocos estudios muy específicos. La combinación de técnicas acústicas para el guiado macroscópico y técnicas ópticas (litografía de dos fotones, escritura por haz de electrones sobre la superficie curva) para los detalles finos parece el camino más prometedor, pero requiere un desarrollo adicional considerable.

**Desafíos de integración energética**. Aunque los MSR de torio se anuncian como la tecnología de cuarta generación más prometedora, todavía no se ha desplegado ninguna planta comercial de gran escala. El prototipo experimental chino TMSR de 2 MW, la única instalación de este tipo operativa en el mundo, alcanzó el hito mundial de demostrar la conversión de torio en uranio-233 dentro del reactor, pero no está conectado a la red eléctrica. La cadena de suministro de torio —extracción, purificación, fluoración y disolución en sales fundidas— aún debe industrializarse a gran escala. Además, la gestión de los residuos de fisión (productos de vida media de siglos) requiere una estrategia de almacenamiento geológico o de reciclado que aún no está resuelta comercialmente.

### 4.2 Viabilidad tecnológica: ¿especulación o prospectiva alcanzable?

Al evaluar la propuesta, es útil distinguir entre los componentes que ya existen (como prototipos de laboratorio) y la integración, que es el elemento genuinamente novedoso y objeto de especulación.

- **Diamante esférico fabricado por CVD**: Existen prototipos de esferas huecas de diamante policristalino para fusión por confinamiento inercial, con diámetros de hasta 2 mm y espesores de decenas de micrómetros.
- **Litografía acústica de alta resolución**: Técnicas como la picosecond ultrasonics alcanzan una resolución de 100 nm, y las microredes acústicas se han fabricado con patrones tridimensionales mediante litografía de dos fotones. La extrapolación a patronado directo de circuitos completos aún no se ha demostrado.
- **Hybrid bonding Cu–Cu en 3D**: Es una tecnología en fase de madurez industrial, con pasos de interconexión inferiores a 10 µm ya disponibles y en desarrollo pasos de 5 µm y menores.
- **Reactor MSR de torio**: Existe un único prototipo experimental operativo en China, con 2 MW de potencia térmica, y una empresa danesa (Copenhagen Atomics) planifica la producción en cadena de reactores de contenedor, pero la comercialización a gran escala aún no ha comenzado.

La combinación sinérgica de estas tecnologías es, por tanto, **viable a nivel de prototipo microelectrónico de baja escala** en un horizonte de 10 a 15 años, pero la producción industrial masiva de millones de chips esféricos de diamante probablemente requerirá 20 años o más de desarrollo centrado y aplicado.

**4.3 Sostenibilidad y huella de carbono**

Una ventaja a menudo subestimada de la arquitectura es su potencial de **huella de carbono netamente negativa**. El diamante sintético se forma a partir de carbono obtenido de gases precursores como metano ($CH_4$). Si el metano procede de captura de carbono atmosférico mediante procesos como la reducción de $CO_2$ con hidrógeno renovable (electrólisis solar), la fabricación de chips se convierte en un sumidero de carbono muy eficaz. El reactor de torio, al suministrar calor de proceso directamente, evita las emisiones asociadas a la generación eléctrica a partir de combustibles fósiles.

Además, el torio es un subproducto de la minería de tierras raras que de otro modo se desecharía como residuo radiactivo de baja actividad. El TMSR puede quemar torio y también reciclar actínidos de los residuos nucleares convencionales, contribuyendo así a la economía circular del combustible nuclear.

Por último, la resistencia mecánica y longevidad de los chips de diamante (tiempos de vida útil estimados en décadas sin degradación significativa) podría

reducir drásticamente la tasa de recambio de equipos electrónicos, disminuyendo los residuos electrónicos globales.

---

**5. Conclusiones**

En este artículo se ha presentado y evaluado una arquitectura radicalmente diferente para la computación clásica de altas prestaciones, basada en la integración sinérgica de un sustrato esférico multicapa de diamante sintético, tecnologías de patronado híbridas acústicas y ópticas sobre superficie curva, interconexiones mediante hybrid bonding de cobre de paso ultradenso y un reactor de sales fundidas de torio de cuarta generación como fuente de energía y calor de proceso.

Las ventajas potenciales —cuya explotación industrial a gran escala requerirá dos o más décadas de inversión sostenida— son las siguientes:

1. **Disipación térmica sin par**: La conductividad térmica del diamante (2000-2200 $W \cdot m^{-1} \cdot K^{-1}$) elimina el cuello de botella térmico que limita los chips de silicio actuales y futuros.
2. **Mayor densidad de integración**: La geometría esférica y el escalado de litografía híbrida permiten construir decenas de capas activas de circuitos lógicos y memorias en un único sustrato de diámetro inferior a 1 cm.
3. **Sostenibilidad energética**: El reactor de torio suministra calor de proceso directamente a los hornos de CVD, con una eficiencia global superior al 45 %, y permite una huella de carbono netamente negativa cuando los gases precursores se obtienen por captura atmosférica.
4. **Robustez extrema**: Los dispositivos basados en diamante operan en rangos de temperatura de -200 °C a +500 °C y soportan dosis de radiación miles de veces superiores a las del silicio, abriendo aplicaciones en exploración espacial, nuclear y entornos industriales adversos.

Es de esperar que la comunidad investigadora identifique en esta propuesta un estímulo para explorar rutas similares de integración vertical de tecnologías avanzadas, más allá de la optimización incremental de los procesos de fabricación sobre silicio. Planteamos, como pregunta abierta y horizonte de prospectiva, si el chip esférico de diamante podría convertirse en el paradigma dominante para la computación de altas prestaciones a mediados del siglo XXI.

---

**6. Bibliografía**

1. Global Diamond-based Semiconductors Market Research Report 2025 (Status and Outlook). 24chemicalresearch.com, 2025.

2. Diamond CMOS technology. MDR-NIMS. japón, 2025.
3. Advances toward diamond electronics. *MRS Bulletin*, 2025.
4. Will diamond be the ultimate semiconductor? Powerbox White Paper, 2025.
5. Diamond Blankets Will Keep Future Chips Cool. *IEEE Spectrum*, 20 de octubre de 2025.
6. Synthetic diamond semiconductors: Smaller, faster, cooler. *Electronics 360*, 3 de marzo de 2025.
7. Thermal performance of 3D ICs: semi-spherical heat spreading. *Semiconductor Digest*, 2015.
8. Introduction of thick AlN coating on Si for 3D-IC thermal management. *IOPscience*, 2024.
9. Innovations in 3D IC Thermal Management: Kambix Innovations, 2025.
10. Characterization of Sub-Optical-Wavelength Structures through Picosecond Ultrasonics. *NCBI/PMC*, 2025.
11. Microacoustic metagratings at ultra-high frequencies fabricated by two-photon lithography. *arXiv*, 2025.
12. Copenhagen Atomics: A New Blueprint for Low-Cost Thorium Reactors. *NS Energy*, 1 de diciembre de 2025.
13. Thorium-uranium Conversion Makes Breakthrough: China's TMSR achieves world-first in-core conversion. *Science and Technology Daily*, 2025.
14. EIC funds thorium reactor mass production. *Nuclear Engineering International*, 9 de julio de 2025.
15. China Refuels Thorium Reactor Without Shutdown. *World-Energy*, 23 de abril de 2025.
16. Cu–Cu hybrid bonding technology: from physical mechanisms to system integration for 3D ICs. *Moore and More*, Springer, 2025.
17. Hybrid bonding: The new precision bottleneck in advanced packaging. *Baslerweb*, 2026.
18. Heat transfer impact of high-performance vapor chamber as integrated heat spreader. *ScienceDirect*, 2025.
19. Thermal Management Challenges in 2.5D and 3D Chiplet Integration: A Review on Architecture–Cooling Co-Design. *MDPI*, 2025.
20. Fabrication and characterization of tungsten doped diamond shells for inertial confinement fusion. *DOAJ*, 2022.

21. Materials Innovation for Thermal Interfaces: Unlocking AI Compute Efficiency. *IOPscience*, 2025.
22. Why the Next Generation of EVs May Run on Diamond, Not Silicon. *LGD in Tech*, 23 de diciembre de 2025.
23. A nuclear-powered, laser-fired diamond sphere: This country is playing with fire with energy. *Ecoticias*, 2024.
24. Emerging Copper-to-Copper Bonding Techniques: Enabling High-Density Interconnects. *MDPI*, 12 de mayo de 2025.

---

**Declaración de intereses**: Los autores declaran no tener conflictos de interés. Este trabajo ha sido desarrollado íntegramente mediante simulación de inteligencia artificial y no ha recibido financiación externa.